

PUB-NO: WO009858410A1
DOCUMENT-IDENTIFIER: WO 9858410 A1
TITLE: SEMICONDUCTOR MEMORY
PUBN-DATE: December 23, 1998

INVENTOR-INFORMATION:

| NAME | COUNTRY |
|-------------------|---------|
| KITSUKAWA, GORO | JP |
| UEDA, TOSHITSUGU | JP |
| ISHIMATSU, MANABU | JP |
| MISHIMA, MICHIIRO | JP |

ASSIGNEE-INFORMATION:

| NAME | COUNTRY |
|-------------------------|---------|
| HITACHI LTD | JP |
| HITACHI ULSI SYS CO LTD | JP |
| KITSUKAWA GORO | JP |
| UEDA TOSHITSUGU | JP |
| ISHIMATSU MANABU | JP |
| MISHIMA MICHIIRO | JP |

APPL-NO: JP09802725

APPL-DATE: June 18, 1998

PRIORITY-DATA: JP16267997A (June 19, 1997)

INT-CL (IPC): H01L027/10, H01L021/8242 , G11C011/401 , G11C029/00

EUR-CL (EPC): G06F011/20 ; G06F011/20, H01L027/105

US-CL-CURRENT: 257/E27.081

ABSTRACT:

CHG DATE=19990905 STATUS=0>A semiconductor memory which permits a redundancy memory cell to be disposed in the center while keeping the continuity of the layout unit of a direct peripheral circuit and the overall yield of the memory cell and the direct peripheral circuit to be improved. The semiconductor memory is a 64 Mbit or 256 Mbit DRAM having a hierarchical word line arrangement and a multidivided bit line arrangement and comprises a main row decoder region a main word driven region, a column decoder region, a peripheral circuit/bonding pad region, a memory cell array, a sense amplifier region, a subword driver region, and an intersection region, all formed on a semiconductor chip. The memory cell array (15) comprises redundant memory cells for word and column systems arranged substantially in the center in the word line direction and the bit line direction with respect to a regular memory cell. The direct peripheral circuits of a subword driver adjacent thereto and sense amplifier also comprise redundant cells arranged in the center while keeping a normal repetition unit.



| | | | |
|--|----|----|---|
| (51) 国際特許分類6 H01L 27/10, 21/8242, G11C 11/401, 29/00 | | A1 | (11) 国際公開番号 WO98/58410 |
| | | | (43) 国際公開日 1998年12月23日(23.12.98) |
| (21) 国際出願番号 PCT/JP98/02725 | | | 上田利次(UEDA, Toshitsugu)[JP/JP] 石松 学(IHIMATSU, Manabu)[JP/JP] 〒187-8522 東京都小平市上水本町5丁目22番1号 株式会社 日立超エル・エス・アイ・システムズ内 Tokyo, (JP) |
| (22) 国際出願日 1998年6月18日(18.06.98) | | | (74) 代理人 弁理士 简井大和(TSUTSUI, Yamato) 〒160-0023 東京都新宿区西新宿7丁目22番45号N.S. Excel 301 简井國際特許事務所 Tokyo, (JP) |
| (30) 優先権データ 特願平9/162679 1997年6月19日(19.06.97) | JP | | (81) 指定国 JP, KR, US. |
| (71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)[JP/JP] 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP) 株式会社 日立超エル・エス・アイ・システムズ (HITACHI ULSI SYSTEMS CO., LTD.)[JP/JP] 〒187-8522 東京都小平市上水本町5丁目22番1号 Tokyo, (JP) | | | 添付公開書類 国際調査報告書 |
| (72) 発明者: および (75) 発明者/出願人 (米国についてのみ) 橘川五郎(KITSUKAWA, Goro)[JP/JP] 三島通宏(MISHIMA, Michihiro)[JP/JP] 〒187-8588 東京都小平市上水本町五丁目20番1号 株式会社 日立製作所 半導体事業部内 Tokyo, (JP) | | | |
| (54) Title: SEMICONDUCTOR MEMORY | | | |
| (54) 発明の名称 半導体記憶装置 | | | |
| <p>Diagram illustrating the layout of a semiconductor memory. The central feature is a 'Column redundant cell' (15). It is connected to a 'Subword driver (17)' and a 'Sense amplifier (16)'. The 'Subword driver (17)' is further connected to a 'Word redundant cell' (16) and a 'Repetition unit'. The 'Sense amplifier (16)' is connected to a 'Regular SA cell' (5), a 'Regular SWD cell' (6), and a 'Redundant SA cell' (7). The 'Word redundant cell' (16) is connected to a 'Regular SWD cell' (6) and a 'Redundant SWD cell' (8). The 'Regular SA cell' (5) is connected to a 'Regular SWD cell' (6). The 'Redundant SA cell' (7) is connected to a 'Redundant SWD cell' (8). The 'Regular SWD cell' (6) is connected to a 'Subword driver (17)' and a 'Sense amplifier (16)'. The 'Redundant SWD cell' (8) is connected to a 'Subword driver (17)' and a 'Sense amplifier (16)'. The 'Sense amplifier (16)' is also connected to a 'Regular SA cell' (5) and a 'Redundant SA cell' (7). The 'Subword driver (17)' is also connected to a 'Word redundant cell' (16) and a 'Repetition unit'.</p> | | | |
| (57) Abstract | | | |
| <p>A semiconductor memory which permits a redundancy memory cell to be disposed in the center while keeping the continuity of the layout unit of a direct peripheral circuit and the overall yield of the memory cell and the direct peripheral circuit to be improved. The semiconductor memory is a 64 Mbit or 256 Mbit DRAM having a hierarchical word line arrangement and a multidivided bit line arrangement and comprises a main row decoder region a main word driven region, a column decoder region, a peripheral circuit/bonding pad region, a memory cell array, a sense amplifier region, a subword driver region, and an intersection region, all formed on a semiconductor chip. The memory cell array (15) comprises redundant memory cells for word and column systems arranged substantially in the center in the word line direction and the bit line direction with respect to a regular memory cell. The direct peripheral circuits of a subword driver adjacent thereto and sense amplifier also comprise redundant cells arranged in the center while keeping a normal repetition unit.</p> | | | |

(57)要約

直接周辺回路のレイアウト単位の継続性を守りながら冗長メモリセルの中央配置を実現でき、メモリセルと直接周辺回路との総合的な歩留まりを向上させることができる半導体記憶装置である。階層形ワード線構成、多分割ビット線構成を用いた64Mビットあるいは256MビットDRAMであって、メインローデコーダ領域、メインワードドライバ領域、カラムデコーダ領域、周辺回路／ボンディングパッド領域、メモリセルアレー、センスアンプ領域、サブワードドライバ領域、交差領域などが半導体チップ上に形成され、メモリセルアレー(15)は、正規メモリセルに対してワード線方向、ビット線方向のほぼ中央にワード系、カラム系の冗長メモリセルが配置され、これに隣接するサブワードドライバ、センスアンプの直接周辺回路も通常の繰り返し単位を維持して中央に冗長用セルが配置されている。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

| | | | | | | | |
|----|--------------|----|-----------|-----|----------------|----|------------|
| AL | アルバニア | FI | フィンランド | LK | スリ・ランカ | SI | スロヴェニア |
| AM | アルメニア | FR | フランス | LR | リベリア | SK | スロヴァキア |
| AT | オーストリア | GA | ガボン | LS | レソト | SL | シエラ・レオネ |
| AU | オーストラリア | GB | 英国 | LT | リトアニア | SN | セネガル |
| AZ | アゼルバイジャン | GD | グレナダ | LU | ルクセンブルグ | SZ | スワジランド |
| BA | ボスニア・ヘルツェゴビナ | GE | グルジア | LV | ラトヴィア | TD | チャード |
| BB | バルバドス | GH | ガーナ | MC | モナコ | TG | トゴー |
| BE | ベルギー | GM | ガンビア | MD | モルドヴァ | TJ | タジキスタン |
| BF | ブルキナ・ファソ | GN | ギニア | MG | マダガスカル | TM | トルクメニスタン |
| BG | ブルガリア | GW | ギニア・ビサオ | MK | マケドニア旧ユーゴスラヴィア | TR | トルコ |
| BJ | ベナン | GR | ギリシャ | 共和国 | 共和国 | TT | トリニダード・トバゴ |
| BR | ブラジル | HR | クロアチア | ML | マリ | UA | ウクライナ |
| BY | ベラルーシ | HU | ハンガリー | MN | モンゴル | UG | ウガンダ |
| CA | カナダ | ID | インドネシア | MR | モーリタニア | US | 米国 |
| CF | 中央アフリカ | IE | アイルランド | MW | マラウイ | UZ | ウズベキスタン |
| CG | コンゴー | IL | イスラエル | MX | メキシコ | VN | ヴィエトナム |
| CH | スイス | IN | インド | NE | ニジエール | YU | ユーゴースラビア |
| CI | コートジボアール | IS | アイスランド | NL | オランダ | ZW | ジンバブエ |
| CM | カメルーン | IT | イタリア | NO | ノルウェー | | |
| CN | 中国 | JP | 日本 | NZ | ニュージーランド | | |
| CU | キューバ | KE | ケニア | PL | ポーランド | | |
| CY | キプロス | KG | キルギスタン | PT | ポルトガル | | |
| CZ | チェコ | KP | 北朝鮮 | RO | ルーマニア | | |
| DE | ドイツ | KR | 韓国 | RU | ロシア | | |
| DK | デンマーク | KZ | カザフスタン | SD | スードン | | |
| EE | エストニア | LC | セントルシア | SE | スウェーデン | | |
| ES | スペイン | LT | リヒテンシュタイン | SG | シンガポール | | |

明細書

半導体記憶装置

技術分野

5 本発明は、高集積半導体記憶装置技術に関し、特に冗長メモリセルの配置と、冗長メモリセルに接続するワードドライバ、センスアンプのレイアウト方法に適用して有効な技術に関する。

背景技術

10 たとえば、本発明者が検討した技術として、高集積半導体記憶装置では、製造歩留まりの向上のため、正規メモリセルに加えて少数の冗長メモリセルを有し、正規メモリセルに不良がある場合は冗長メモリセルにアクセスを切り替えることが広く用いられている。

15 このような正規メモリセルに加えて冗長メモリセルを有する半導体記憶装置に関しては、たとえば特許第2555252号公報に記載される「半導体メモリ装置」などの技術が挙げられる。この技術は、複数の正規セルアレーブロックと複数の冗長セルアレーブロックを、各カラムデコーダで共通制御する正規メモリセルアレーと冗長メモリセルアレーとを有してカラム冗長を行うものである。

20 本発明者は、前記のような正規メモリセルに加えて冗長メモリセルを有する半導体記憶装置において、この半導体記憶装置の高集積化に着目して、特に冗長メモリセルの配置と、この冗長メモリセルに接続するワードドライバ、センスアンプのレイアウト方法について検討した。以下において本発明者によって検討された内容を図10を用いて説明する。

25 図10は、冗長メモリセルの配置を示すものであり、この冗長メモリセルの位置は図10(a)のように正規のメモリセルアレー15の外周部に置かれている。また、このメモリセルアレー15の周辺には、図10(b)に示すように、メモリセルアレー15に隣接してセンスアンプ領域16とサブワードドライバ領域17、およびこれらの交差領域18が配置されている。

ところで、半導体記憶装置の高集積化につれ、メモリセルは立体化により平面寸法は微細化されるが、メモリセルに接続されるワードドライバやセンスアンプなどの直接周辺回路はメモリセルに対応して平面方向に縮小しなければならない。しかし、これらはメモリセルと異なり立体化できないのでレイアウトは容易で 5 はない。

このための工夫として、複数のメモリセルをまとめた繰り返しピッチの中で、これらの回路の複数の単位でコンタクト、スルーホールや電源、信号配線を共用化して占有面積を縮小することが広く用いられている。たとえば、16本のワード線Wに対応するようなワードドライバのレイアウト単位や、16本のビット線 10 BLに対応するセンスアンプのレイアウト単位である。

一方、高集積化につれ、冗長メモリセルの歩留まりも問題となってきた。そこで、冗長メモリセルを製造条件が安定しているアレーの中央部に配置し、冗長メモリセルが確実に生きることを図る。冗長メモリセルが確実に生きれば、ヒューズ設定前のそのテストを省略できるか、簡単なテストで済ませられるので全 15 体のテスト時間を短縮できる。

しかし、冗長メモリセルのワード線数またはビット線数がレイアウト単位よりも少ないので、冗長メモリセルに関連するサブワードドライバまたはセンスアンプだけを特別にレイアウトすることは困難である。これは、レイアウト単位が小さすぎて前述したようにコンタクト、スルーホールや電源、信号配線を共用化する 20 ことができないからである。また、繰り返しの形状が異なると、これら冗長メモリセル用のサブワードドライバまたはセンスアンプの特性や歩留まりに異常をきたす恐れがある。

そこで、本発明の目的は、冗長メモリセルをメモリセルアレーの中央部に配置するためのサブワードドライバやセンスアンプの効率的なレイアウト方法により 25 、直接周辺回路のレイアウト単位の継続性を守りながら冗長メモリセルの中央配置を実現でき、メモリセルと直接周辺回路との総合的な歩留まりを向上させることができる半導体記憶装置を提供するものである。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添

付図面から明らかになるであろう。

発明の開示

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば

5 、次のとおりである。

すなわち、本発明による半導体記憶装置は、冗長メモリセルがメモリセルアレーの中央部にあっても、サブワードドライバやセンスアンプのレイアウトは正規メモリセルと同じレイアウト単位を用い、全く同じ繰り返しを守りながら冗長メモリセルの存在により増加するサブワードドライバやセンスアンプはメモリセルアレーの端にある正規メモリセルの関連回路で調整する。さらに、冗長メモリセル用と正規メモリセル用との変更点はサブワードドライバやセンスアンプの制御信号を置き換えることで実現するものである。

この方法をとれば、直接周辺回路のレイアウト単位の継続性を守りながら冗長

メモリセルの中央配置を実現でき、メモリセルと直接周辺回路との総合的な歩留

15 まりを向上させることができる。さらに、冗長メモリセルを外周部に配置する場

合に比べて、不良発生率を少なくして品質を向上させることができる。

本願において開示される発明のうち、代表的なものによって得られる効果を簡

單に説明すれば、以下のとおりである。

(1).冗長メモリセルを、メモリセルアレーのワード線方向とビット線方向とのほ

20 ぼ中央に配置することで、半導体記憶装置の製造プロセス上において冗長メモリ

セルの品質を向上させることができる。

(2).冗長メモリセルの中央配置においても、メモリセルに隣接するサブワードド

ライバ、センスアンプの直接周辺回路などのレイアウトは通常の繰り返しを維持

できるので、メモリセルと直接周辺回路との製造歩留まりを向上させることができ

25 きる。

(3).前記(1), (2)により、特に、高集積半導体記憶装置のレイアウトにおける総

合的な歩留まりを向上させることができ、さらにテスト時間を含めて総合的なチ

ップ価格を低減することができる。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

図面の簡単な説明

5 図 1 (a), (b) は本発明の一実施の形態である半導体記憶装置を示すレイアウト図と部分拡大図、図 2 は本実施の形態の半導体記憶装置におけるメモリセルアレーとその周辺回路とを示す回路図、図 3 (a), (b), (c) はメモリセルアレーと直接周辺回路とを示すレイアウト図、図 4 (a), (b) は直接周辺回路の繰り返し単位の比較を示すレイアウト図、図 5 はサブワードドライバのレイアウト方法を示す説明図、図 6 ～図 8 はサブワードドライバを示す回路図、平面図および断面図、図 9 (a), (b) はセンスアンプを示す回路図とレイアウト図、図 10 (a), (b) は本発明の前提となる半導体記憶装置におけるメモリセルアレーと直接周辺回路とを示すレイアウト図である。

15 発明を実施するための最良の形態

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一の部材には同一の符号を付し、その繰り返しの説明は省略する。

まず、図 1 により本実施の形態の半導体記憶装置の構成を説明する。

20 本実施の形態の半導体記憶装置は、たとえば階層形ワード線構成、多分割ビット線構成を用いた 64M ビットあるいは 256M ビット DRAM とされ、このメモリチップ 10 には、メインローデコーダ領域 11、メインワードドライバ領域 12、カラムデコーダ領域 13、周辺回路／ポンディングパッド領域 14、メモリセルアレー 15、センスアンプ領域 16、サブワードドライバ領域 17、交差領域 18 などが周知の半導体製造技術によって 1 個の半導体チップ上に形成されている。この図 1 においては、水平方向が行方向（ワード線方向）、垂直方向が列方向（ビット線方向）である。

このDRAMにおいては、たとえば図 1 に示すように、メモリチップ 10 の行

方向における左側と右側、列方向における上側と下側にメモリセルアレー 15 などからなるメモリ領域が分割して配置される。この左側と右側とに配置されたメモリ領域は、それぞれのメモリ領域に対応するメインワードドライバ領域 12 を介して中央に配置されたメインローデコーダ領域 11 を挟んで対で配置されている。
5 また、上側と下側に配置されたメモリ領域の中央側には、それぞれのメモリ領域に対応するカラムデコーダ領域 13 が配置されている。さらに、その中央部には、周辺回路／ボンディングパッド領域 14 として、ロードレスバッファ、カラムアドレスバッファ、プリデコーダ、タイミング発生回路、データ入出力回路などが配置され、さらに外部接続用のボンディングパッドが設けられている。
10 メモリ領域は、メモリセルアレー 15 の列方向にセンスアンプ領域 16 が配置され、また行方向にサブワードドライバ領域 17 が配置され、このセンスアンプ領域 16 とサブワードドライバ領域 17 との交差領域 18 には FX ドライバ（サブワードドライバ駆動用）、さらにセンスアンプ群の制御回路（スイッチMOS テランジスタなど）も配置されている（図 2 参照）。このメモリセルアレー 15
15 に対して、ワード線は行方向、ビット線は列方向としている。これとは逆の配置でも本発明を用いることができるることは自明である。

特に、本発明による実施の形態の半導体記憶装置においては、長辺中央のメインローデコーダ領域 11、メインワードドライバ領域 12 からサブワードドライバを制御するためのメインワード線、プリデコーダ線（FXB 線）が左右に出力される。短辺中央は、周辺回路／ボンディングパッド領域 14 で、それとメモリ領域との間にカラムデコーダ領域 13 が置かれる。列選択信号線 YS は上側または下側のメモリ領域の多数のセンスアンプを制御する。1 つのメモリセルアレー 15 のほぼ中央に冗長メモリセルが配置される。全部のメモリセルアレー 15 に冗長メモリセルを設けてもよいし、1 個おきまたは数個おきに設けてもよい。冗長メモリセルの数は歩留まりとチップ面積とのトレードオフで決定する。
20
25

図 2 は、メモリセルアレー 15 と、その周辺回路とを単純化した回路図であり、メインローデコーダ領域 11、メインワードドライバ領域 12、カラムデコーダ領域 13、メモリセルアレー 15、センスアンプ領域 16、サブワードドライ

バ領域17、交差領域18などの各領域内に含まれる回路と、入力回路51、プリデコーダ52、メインアンプ61、出力回路62などが図示されている。

メモリセルアレー15は、2次元的に配列された複数、たとえば256サブワード線×256ビット線対の64Kビットのメモリセルからなり、メインワード線MWB（BはMWの反転表記、他の信号線も同様）、サブワード線SWが水平方向、ビット線BL、BLB、列選択信号線YSが垂直方向に配置されている。ワード線構成は階層形ワード線方式、センスアンプは2サブアレー共用方式で、かつオーバードライブ方式、すなわち高速化のためにセンスアンプ駆動線CSPを最初はVDDの電圧レベルで、後にVDLの電圧レベルで2段階で駆動する方式とする。これらは公知（IEEE Journal of Solid-State Circuit, Vol. 31, No. 9, Sep. 1996, "A 29-ns 64-Mb DRAM with Hierarchical Array Architecture"）の技術である。

メモリセルアレー15の左右に隣接してサブワードドライバ領域17が置かれ、そのサブワードドライバの入力がメインワード線MWBとプリデコーダ線FX15であり、その出力がサブワード線SWである。センスアンプ領域16とサブワードドライバ領域17との交差領域18には、図示のようにセンスアンプドライバ（図では3個のNMOSトランジスタであるが、充電側はPMOSトランジスタを用いてもよい）やローカルIO線LIO, LIOBとメインIO線MIO, MIOBとのスイッチトランジスタIOSWが設けられている。

また、本図では省略したが、一層の高性能化のためにセンスアンプ駆動線CSP, CSN、ローカルIO線LIO, LIOB、メインIO線MIO, MIOBなどのプリチャージ回路やFXドライバが置かれることもある。図2ではこれらの他に入力回路51、プリデコーダ52、メインワードドライバ、カラムデコーダ、メインアンプ61、出力回路62などがある。また図2において、SHR1, 2はシェアドセンスアンプ分離信号線、SAP1, 2はセンスアンプ充電信号線、SANはセンスアンプ放電信号線である。

さらに、低電力化と微細デバイスの高信頼化のために内部降圧方式を用い、周辺回路は電圧VPERI(2.5V)、メモリセル蓄積電圧は電圧VDL(2.0V)

) と電源電圧VDD (3.3V) より低い電圧を用いる。なお、入出力回路は外部とのインターフェースのために電圧VDDを用いる。公知であるが、メモリセルに電圧VDLを書き込むためにはチャージポンピング動作で昇圧した電圧VPPがサブワード線SWの選択電圧として必要である。そこで、メインワードドライバ 5 やサブワードドライバの動作電圧には電圧VPPを供給する。プレート電圧VPLTやビット線プリチャージ電圧VBLRは電圧VDLの1/2の1.0Vを供給する。また、基板電圧VBBは-1.0Vである。

この階層形ワード線構成は、ワード線をメインワード線とサブワード線SWに階層化し、1組のメインワード線を複数のサブワード線SWで共有することにより、メインワード線(MW, MWB)、プリデコーダ線(FX, FXB)の金属配線ピッチをメモリセルのピッチより緩和し、金属配線の製造歩留まりを高めることができる。

この階層形ワード線構成においては、行方向に並ぶサブワード線SWはサブワードドライバの出力であり、このサブワードドライバには、メインワードドライバから出力されたメインワード線MW, MWBと、FXドライバから出力されたプリデコーダ線FX, FXBが入力され、論理動作を行う。ある特定のサブワードドライバは、その入力であるメインワード線MW, MWBが選択され、さらに列方向のプリデコーダ線FX, FXBが選択されると、サブワード線SWにHighレベルの電圧が出力され、そのサブワード線SWに接続される全てのメモリセルの読み出し動作、書き込み動作が開始される。

読み出し動作の際には、サブワードドライバによるサブワード線SWの選択、およびカラムデコーダによるビット線BL, BLBの選択により、メモリセルアレー15内の任意のメモリセルを指定して、このメモリセルのデータはセンスアンプで増幅した後にローカルIO線LIO, LIOB、メインIO線MIO, MIOBに読み出され、メインアンプ61を介して出力回路62から出力される。書き込み動作の際にも同様に、サブワード線SWおよびビット線BL, BLBにより任意のメモリセルを指定して、書き込み回路(メインアンプ61に並列に設置、図2では省略)からデータを書き込むことができる。

図3は、本発明による実施の形態のメモリセルアレー15と、これに隣接するセンスアンプ領域16、サブワードドライバ領域17の直接周辺回路との基本構造を示すレイアウト図である。

メモリセルアレー15は、図3(a)のように正規メモリセルに対して、ワード5線W方向のほぼ中央にワード系の冗長メモリセルが配置され、またビット線B L方向のほぼ中央にカラム系の冗長メモリセルが配置される。これにより、冗長メモリセルが外周部に配置される場合に比べて冗長メモリセルの品質が向上する。この冗長メモリセルの中央配置に伴い、サブワードドライバ領域17のサブワードドライバSWD、センスアンプ領域16のセンスアンプSAの配置も工夫され10ている。

たとえば、サブワードドライバSWDは、図3(b)のように繰り返し単位は冗長メモリセルのある中央部も一定とし、冗長メモリセルによるサブワードドライバSWDの増加はメモリセルアレー15の端に繰り返し単位より小さい、たとえば半分の大きさのレイアウトを追加する。この図では、中央部の正規サブワード15ドライバセルと冗長サブワードドライバセルとを合わせた繰り返し単位は隣接する繰り返し単位と同じである。追加セルは、正規サブワードドライバセルのためであり、その境界の構造は他と等しい。また両端部には端処理セルが配置される。

また、センスアンプSAもサブワードドライバSWDと同様であり、図3(c)20のように正規センスアンプのみの繰り返し単位に隣接して、中央部には正規センスアンプセルと冗長センスアンプセルとを合わせた繰り返し単位が配置され、メモリセルアレー15の端には半分の大きさの正規センスアンプセルによる追加セル、さらに端処理セルが両端部に配置される。このようにして冗長メモリセルに接続される直接周辺回路(サブワードドライバSWD、センスアンプSA)は特別のレイアウトを行うのではなく、同じ繰り返しの中で実現できる。

図4は、サブワードドライバ、センスアンプの直接周辺回路の繰り返し方法の単位を示すレイアウト図である。図4(b)は本発明の実施の形態における繰り返し方法を示し、これに対応する比較例を図4(a)に示す。

ここでは、ユニット Unit 1 は 16 回の繰り返し単位である。ユニット Unit 2 はこれより小さいレイアウト単位でメモリセルアレー 15 の中に 1 回だけ使用する。(N) は正規メモリセル関連回路、(R) は冗長メモリセル関連回路である。端処理セルはいずれの場合にも必要であり、これはコンタクトの半分の
5 追加、ウェルの給電、配線の接続などのためである。

この 2 つの図はいずれもメモリセルアレー 15 の中央に冗長メモリセルを配置することを想定している。図 4 (a) の比較例においては、ユニット 1 は正規メモリセル関連回路のレイアウトである。ユニット 2 は冗長メモリセル関連回路のレイアウトである。ユニット 2 をユニット 1 の繰り返しの中で割り込むようにレイ
10 アウトすることは難しい。この理由は、ユニット 2 の規模が小さすぎて部品の共用化による効率的なレイアウトができないからである。

これに対して、本実施の形態においては、図 4 (b) のようにユニット 1 の繰り返しを冗長メモリセル用を含めて維持しながら、冗長メモリセルによる回路増加分は端にユニット 2 を設けることにより行う。端にあるユニット 2 は、ユニット
15 1 との境界では通常のユニット 1 同士の境界と同じ形状となる。中央の #9 のユニット 1 の半分は冗長用、半分は正規用である。

図 5 は、図 3、図 4 の本発明の概念をサブワードドライバのレイアウトに適用した実施の形態である。

メモリセルアレー 15 は、256 本の正規サブワード線と 8 本の冗長サブワード線とを有するものとする。1 個のサブワードドライバは 1 本のメインワード線 MWB と図示されていない 8 本のプリデコーダ線のうちの 1 本とで論理処理を行い、1 本のサブワード線を出力する。このサブワードドライバのレイアウト単位の、ユニット Unit 1 はメインワード線 MWB 0、1 の 2 本を入力とし、4 本
20 のプリデコーダ線と論理処理を行い、サブワード線の 8 本を出力する回路である
MWB と図示されていない 8 本のプリデコーダ線のうちの 1 本とで論理処理を行
い、1 本のサブワード線を出力する。このサブワードドライバのレイアウト単位の、ユニット Unit 2 はメインワード線 MWB の 1 本を入力とし、4 本のプリデ
25 コーダ線と論理処理を行い、サブワード線の 4 本を出力する回路である。

ただし、ユニット 1 はメモリセルの 16 ワード線分、ユニット 2 は 8 ワード線
分の幅にレイアウトすればよい。これは、メモリセルアレー 15 に隣接する 2 つ

のサブワードドライバ領域17からサブワード線が互い違いにメモリセルアレー15上に配置されるからである。

#9のユニット1では、冗長用メインワード線RMWBと正規用メインワード線MWB16が入力される。これは、その他のユニット1とは2本のうちの1本5の正規用メインワード線MWBが冗長用メインワード線RMWBに置き換えただけの違いである。#17のユニット2は正規用メインワード線MWB31を入力とし、4本の正規サブワード線を出力する。#16のユニット1と#17のユニット2との境界のレイアウト構造は通常のユニット1同士の境界レイアウトと同じである。

10 図6～図8は、サブワードドライバの回路図とレイアウトの平面図および断面図である。図6の回路図は4本のサブワード線分を示し、また図8の断面図は図7の平面図に対するゲート下部の断面構造図である。

15 図7において、1点鎖線で囲んだレイアウト単位が図5のユニット1に該当する。MWB_nとMWB_{n+1}がメインワード線、FXB_mがプリデコーダ線である。特に、本発明においては、正規用のメインワード線MWB_nまたはMWB_{n+1}を冗長用メインワード線RMWBに差し替えれば冗長メモリセル用サブワードドライバとなる。

20 サブワードドライバは、たとえば図6のように、1個のPMOSトランジスタと2個のNMOSトランジスタとからなり、メインワード線MWBがLow、プリデコーダ線FXBがLow、プリデコーダ線FXがHighのとき、サブワード線SWはHighレベル(VPP)の選択状態となる。この形式のサブワードドライバでは、プリデコーダ線FXBとFXは常に相補の電位関係を必要とする。

25 このサブワードドライバのレイアウトでは、図7のように8本のサブワード線SW0～SW14(偶数番号)が出力されていることを示すが、図示しない左右隣接のサブワードドライバからも交互に8本のサブワード線SW1～SW15(奇数番号)が配線されるので、合わせて16本のサブワード線SW0～SW15がこの図において縦寸法の中に配置される。

図7の横方向に、メタル2層M2のメインワード線MWBとメタル1層M1のサブワード線SWが走り、縦方向にはメタル3層M3のプリデコーダ線FXと電源線(VPP, VSS)が置かれる。サブワードドライバ内のソース/ドレイン取り出しはメタル1層M1で行う。ピット線層を素子間接続に使えばメタルは3層でなく、2層でも可能である。サブワードドライバの左右両端でサブワード線出力はメタル1層M1からゲート層FGに変換し、メモリセルアレー15に送られる。

また、図8のサブワードドライバの断面図に示すように、サブワードドライバはP形半導体基板P-Sub上に浮かべる。(a) DWE LL分離構造、(b) DWELL非分離構造、(a)のトリプルウェル構造はメモリセルアレー15とサブワードドライバの境界で分離領域が必要である。サブワードドライバのNウェル領域NWには電圧VPPを印加し、NMOSのPウェル領域PWにはP-Subと同じ0V、メモリセルアレー15のPウェルPWには負電圧VBBを印加する。(b)のトリプルウェル構造はメモリセルアレー15とサブワードドライバをDW上に形成するので、分離領域は不要である。サブワードドライバとメモリセルアレー15のPWには負電圧VBBを印加する。

このメモリセルアレー15のトリプルウェル構造は、サブワードドライバやセンスアンプなどの周辺回路からメモリセルへの雑音防止、MOSトランジスタの高性能化(周辺回路のPウェルのウェルバイアス0Vにより短チャネルMOSが利用可能)、P-Subへの0V印加による静電保護強化の手段として64Mビット以降のDRAMで広く用いられている。

図9は、図3、図4の本発明の概念を適用したセンスアンプの回路図とレイアウト図である。

このセンスアンプは、図9(a)のように隣接するメモリセルでセンスアンプを共有するシェアド方式を採用しており、増幅を行う際には選択メモリセル側のシェアド線SHRの信号を電圧VPPにし、非選択メモリセル側のシェアドセンスアンプ分離信号線SHRの信号を0VにしてカットMOSトランジスタによりピット線BL, BLBをセンスアンプから切り離す。PCBはピット線プリチャ

ジ信号線、VBLRはビット線プリチャージ電圧、CSP, CSNはセンスアンプ駆動線、I01, I02, I01B, I02BはIO線、実際にはローカルIO線である。

センスアンプのレイアウトは、図9(b)のようにセンスアンプSAの4個をレイアウトの基本繰り返し単位(ユニット1)とする。2本の列選択信号線YSと電源線または信号線PSの1本との3本のメタル3層M3の信号線を含む。列選択信号線YSはセンスアンプSAで用いられるが、電源線または信号線PSはセンスアンプ上を通り過ぎるだけの線である。1本の列選択信号線YSは2個のセンスアンプSAを制御する。4個のセンスアンプSAの幅に3本のメタル3層M3の線を配置する。従って、4個のセンスアンプSAが1つのレイアウト単位とするのが適当である。

冗長メモリセル用のセンスアンプSAが中央に2個あるときには、図示のように冗長メモリセル用のセンスアンプSAの2個と正規のセンスアンプSAの2個とをまとめることにより同じ繰り返しを維持しながら、1本の列選択信号線YSを冗長用の列選択信号線RYSに置き換える。もし、ハッチング部分だけを特別にレイアウトしようとすると、メタル3層M3の相互関係がくずれてしまい、メタル3層M3のスペースが不足する事態となる。冗長用のセンスアンプSAが増えた分だけ、端に半分の幅のセンスアンプSAのレイアウト(ユニット2)を追加する。この追加は端であるので難しくはない。

従って、本実施の形態の半導体記憶装置によれば、冗長メモリセルをメモリセルアレー15のほぼ中央に配置するとともに、これに隣接するサブワードドライバ、センスアンプの直接周辺回路を通常の繰り返し単位を維持して配置できるので、冗長メモリセルの品質を向上させることができ、さらにメモリセルアレー15と直接周辺回路との製造歩留まりを向上させることができる。

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

産業上の利用可能性

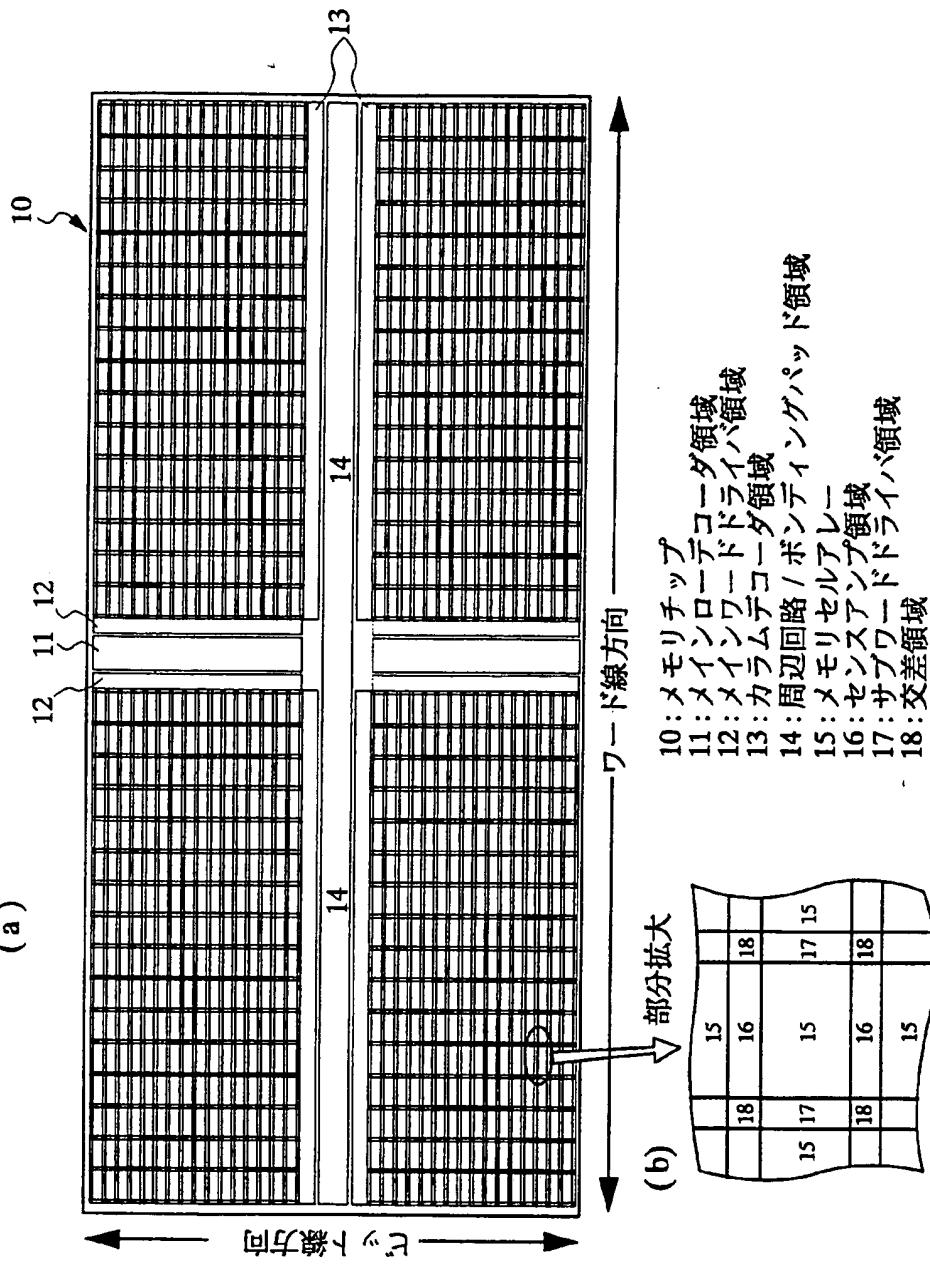
以上のように、本発明にかかる半導体記憶装置は、高集積半導体記憶装置、特に冗長メモリセルの配置と、冗長メモリセルに接続するワードドライバ、センスアンプのレイアウト方法に適用して有効な、64Mビットあるいは256MビットDRAMまたはシンクロナスDRAMの半導体記憶装置に有用であり、さらに5他のビット数のより高集積化のDRAMや、SRAM、RAM、ROM、PROM、EPROM、EEPROMなどの他の半導体記憶装置についても広く適用することができる。

請 求 の 範 囲

1. 複数のメモリセルをワード線方向とピット線方向とに2次元的に配置したメモリセルアレーにおいて、前記複数のメモリセルは大部分の正規メモリセルと少數の冗長メモリセルとからなり、前記正規メモリセルに不良がある場合は前記冗長メモリセルに動作を切り替える機能を前記メモリセルアレー外の周辺回路に具備してなる半導体記憶装置であって、前記冗長メモリセルは前記ワード線方向と前記ピット線方向とのほぼ中央部に配置して、前記冗長メモリセルに接続されるワードドライバやセンスアンプのレイアウト単位は冗長メモリセル用と正規メモリセル用とを合わせたものであり、かつ前記正規メモリセル用のレイアウト単位10と同じ寸法であり、前記ワードドライバまたは前記センスアンプの制御入力を正規用と冗長用とで差し替えることを特徴とする半導体記憶装置。
2. 請求項1記載の半導体記憶装置であって、前記ワードドライバは階層形ワード線方式のサブワードドライバであり、1つのレイアウト単位は複数のメインワード線を入力とし、前記冗長メモリセルに接続するサブワードドライバを含むレイアウト単位では1本のメインワード線を冗長メインワード線信号に差し替えることのみが前記正規メモリセル用のレイアウト単位と異なることを特徴とする半導体記憶装置。
3. 請求項1記載の半導体記憶装置であって、前記センスアンプは複数のセンスアンプとこれを制御する複数の列選択信号線とその他の制御線または電源線とを含んで1つのレイアウト単位とし、前記冗長メモリセルに接続するセンスアンプのレイアウト単位では1本の列選択信号線を冗長列選択信号線に差し替えることのみが前記正規メモリセル用のレイアウト単位と異なることを特徴とする半導体記憶装置。
4. 請求項1、2または3記載の半導体記憶装置であって、前記半導体記憶装置25は、高集積のDRAMであることを特徴とする半導体記憶装置。

図 1

(a)



(b)

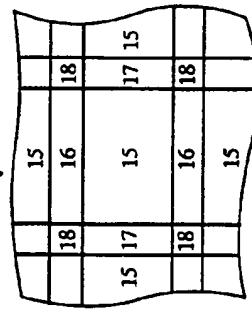
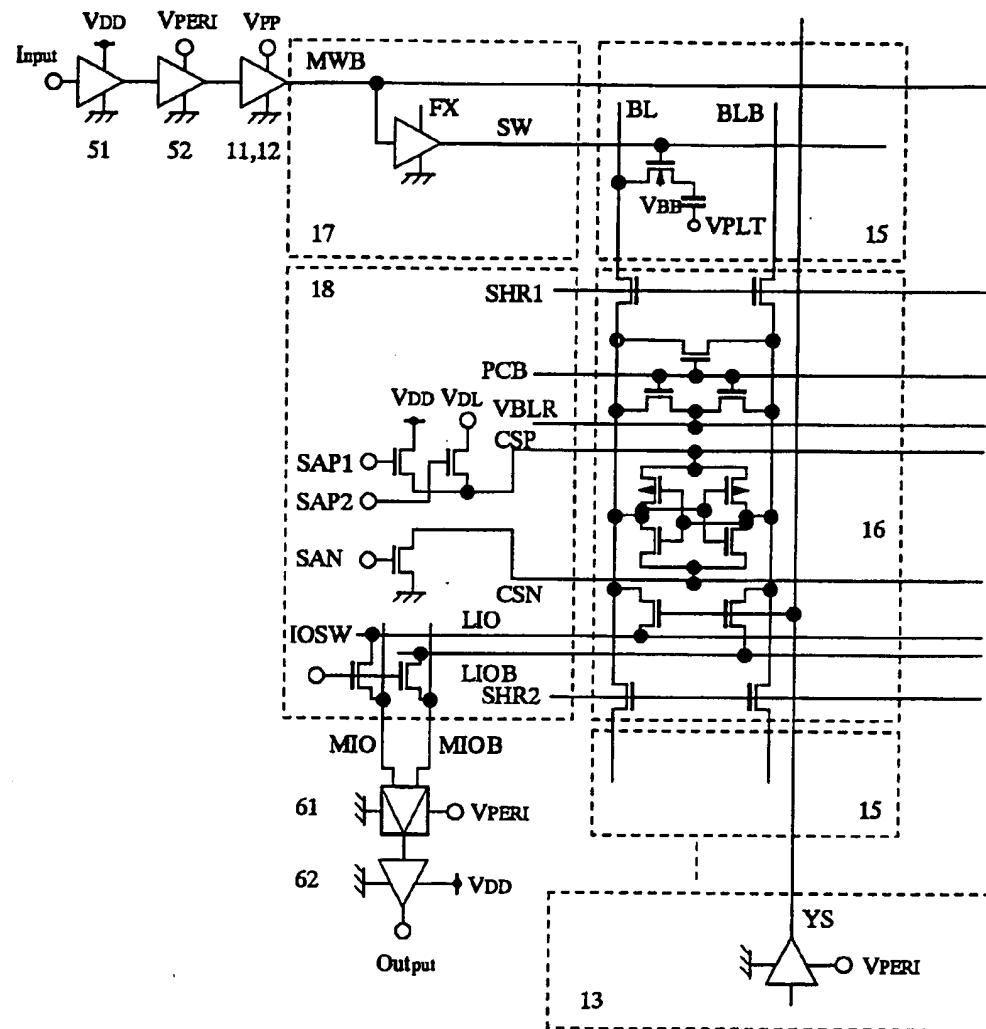
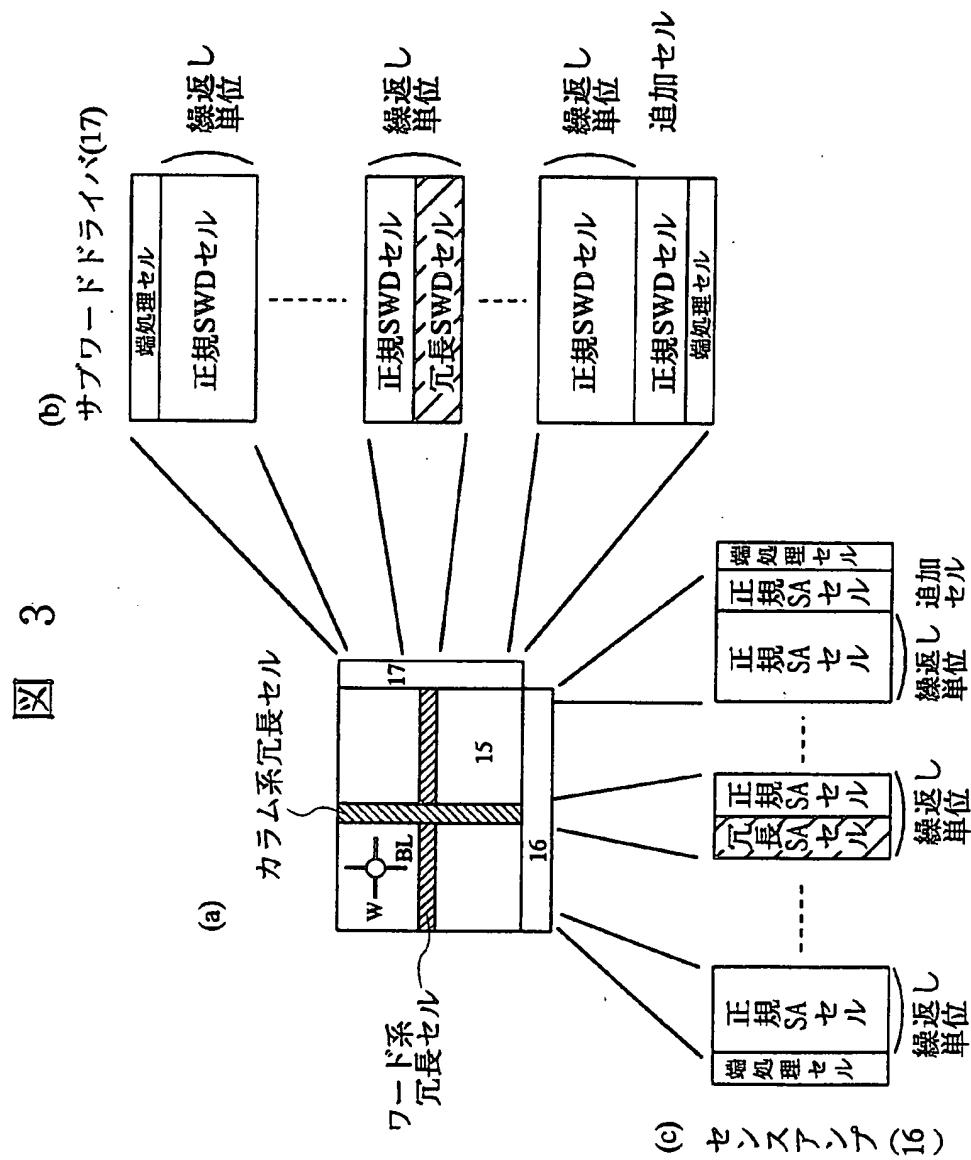


図 2



2 / 10



4

(a)

(b)

| 端処理セル | | 端処理セル | |
|-------|-----------|-------|-------------------|
| #1 | Unit 1(N) | #1 | Unit 1(N) |
| #2 | Unit 1(N) | #2 | Unit 1(N) |
| #3 | Unit 1(N) | #3 | Unit 1(N) |
| #4 | Unit 1(N) | #4 | Unit 1(N) |
| #5 | Unit 1(N) | #5 | Unit 1(N) |
| #6 | Unit 1(N) | #6 | Unit 1(N) |
| #7 | Unit 1(N) | #7 | Unit 1(N) |
| #8 | Unit 1(N) | #8 | Unit 1(N) |
| #9 | Unit 2(R) | #9 | Unit 1 (R) (N) |
| #10 | | #10 | Unit 1(N) |
| #11 | Unit 1(N) | #11 | Unit 1(N) |
| #12 | Unit 1(N) | #12 | Unit 1(N) |
| #13 | Unit 1(N) | #13 | Unit 1(N) |
| #14 | Unit 1(N) | #14 | Unit 1(N) |
| #15 | Unit 1(N) | #15 | Unit 1(N) |
| #16 | Unit 1(N) | #16 | Unit 1(N) |
| #17 | Unit 1(N) | #17 | Unit 2(N) |
| | 端処理セル | | 端処理セル |

図 5

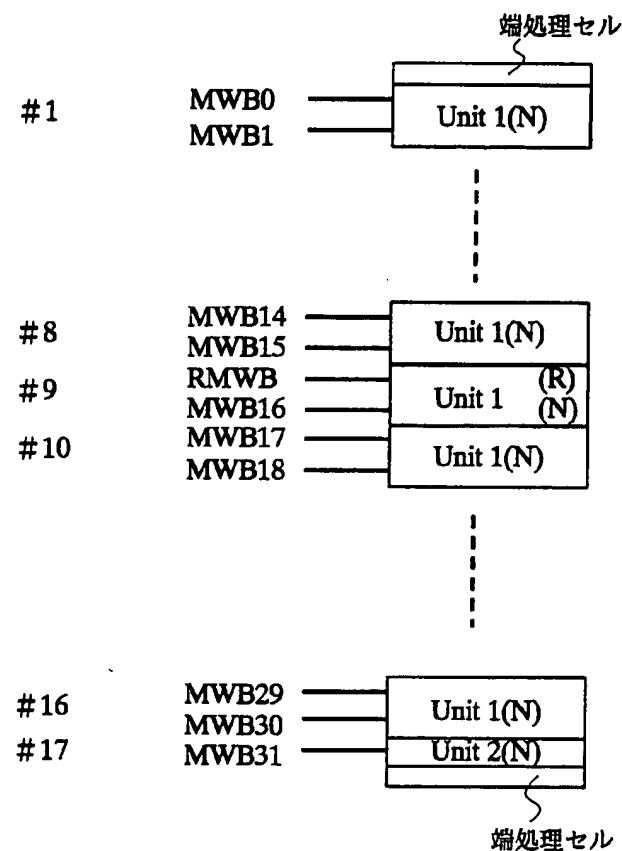


図 6

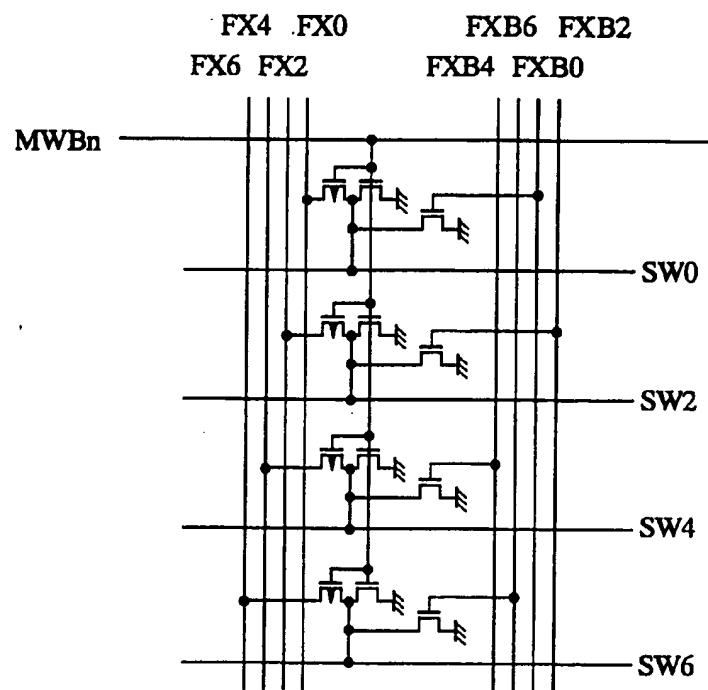


図 7

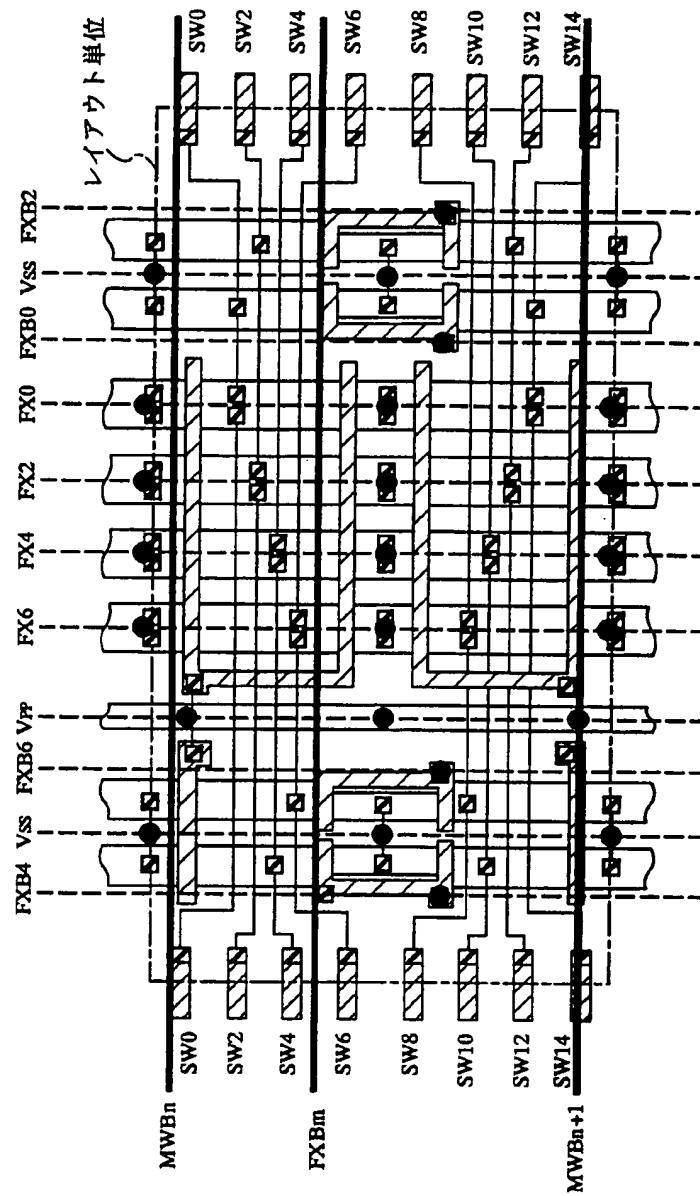


図 8

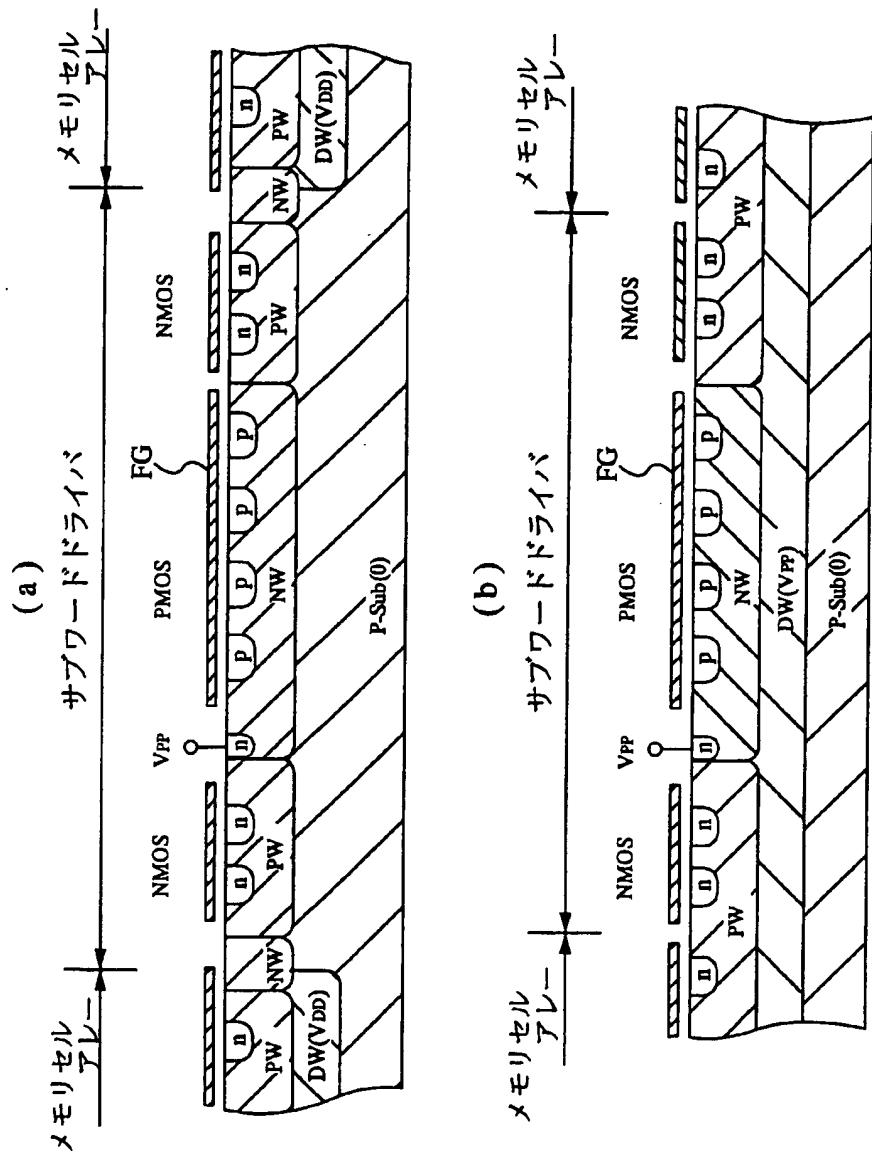
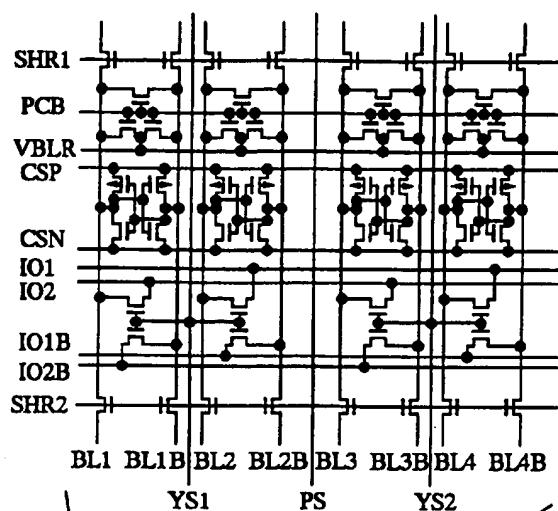


図 9

(a)



(b)

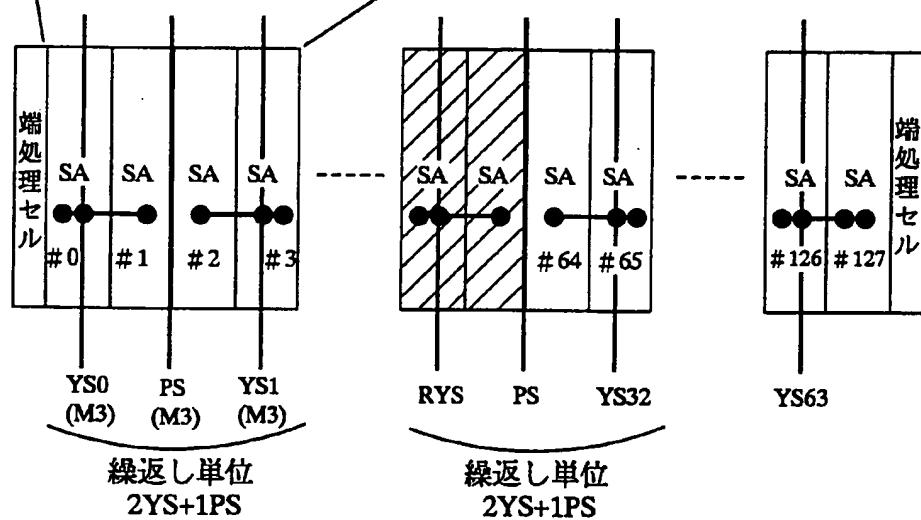
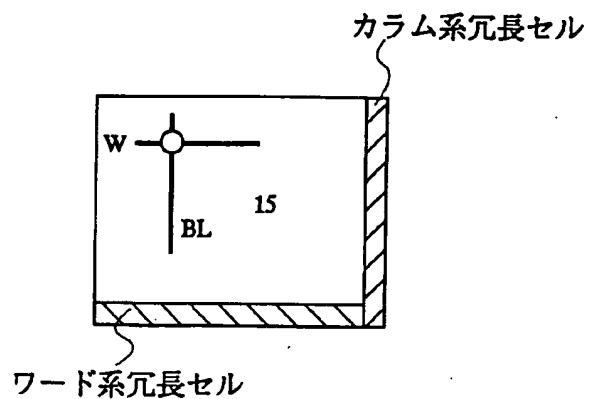
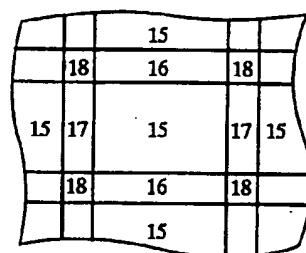


図 10

(a)



(b)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/02725

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁶ H01L27/10, H01L21/8242, G11C11/401, G11C29/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁶ H01L27/10, H01L21/8242, G11C11/401, G11C29/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1998 Toroku Jitsuyo Shinan Koho 1994-1998
Kokai Jitsuyo Shinan Koho 1971-1998

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|-----------------------|
| A | JP, 6-76594, A (Mitsubishi Electric Corp.), 18 March, 1994 (18. 03. 94), Fig. 1 (Family: none) | 1-4 |
| A | JP, 8-153399, A (NEC Corp.), 11 June, 1996 (11. 06. 96), Figs. 1, 3, 5 & EP, 718767, A & US, 5570318, A | 1-4 |
| A | JP, 8-55494, A (Texas Instruments Inc.), 27 February, 1996 (27. 02. 96), Fig. 5B & EP, 499131, A | 1-4 |

Further documents are listed in the continuation of Box C. See patent family annex.

| | |
|--|--|
| * Special categories of cited documents: | |
| "A" | document defining the general state of the art which is not considered to be of particular relevance |
| "E" | earlier document but published on or after the international filing date |
| "L" | document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) |
| "O" | document referring to an oral disclosure, use, exhibition or other means |
| "P" | document published prior to the international filing date but later than the priority date claimed |
| "T" | later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention |
| "X" | document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone |
| "Y" | document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| "&" | document member of the same patent family |

| | |
|--|---|
| Date of the actual completion of the international search 14 September, 1998 (14. 09. 98) | Date of mailing of the international search report 22 September, 1998 (22. 09. 98) |
|--|---|

| | |
|--|--------------------|
| Name and mailing address of the ISA/ Japanese Patent Office | Authorized officer |
|--|--------------------|

| | |
|---------------|---------------|
| Facsimile No. | Telephone No. |
|---------------|---------------|

Form PCT/ISA/210 (second sheet) (July 1992)

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl. H01L27/10, H01L21/8242, G11C11/401, G11C 29/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl. H01L27/10, H01L21/8242, G11C11/401, G11C 29/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1998年
日本国公開実用新案公報 1971-1998年
日本国登録実用新案公報 1994-1998年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
|-----------------|--|------------------|
| A | JP, 6-76594, A, (三菱電機株式会社), 18.3月.1994, (18.03.94), 第1図 (ファミリーなし) | 1-4 |
| A | JP, 8-153399, A, (日本電気株式会社), 11.6月.1996, (11.06.96), 第1 図, 第3図, 第5図 & EP, 718767, A & US, 5570318, A | 1-4 |
| A | JP, 8-55494, A, (テキサス インスツルメンツ インコーポレイテッド), 27.2月.1996, (27.02.96), 第5B図 & EP, 499131, A | 1-4 |

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示す
もの

「E」先行文献ではあるが、国際出願日以後に公表されたも
の

「L」優先権主張に疑義を提起する文献又は他の文献の発行
日若しくは他の特別な理由を確立するために引用する
文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって
て出願と矛盾するものではなく、発明の原理又は理
論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明
の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以
上の文献との、当業者にとって自明である組合せに
よって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

14.09.98

国際調査報告の発送日

22.09.98

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

正山 旭

4M 9276

電話番号 03-3581-1101 内線 3464